

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-250732

(43)Date of publication of application : 27.09.1996

(51)Int.Cl.

H01L 29/78

(21)Application number : 07-351967

(71)Applicant : SILICONIX INC

(22)Date of filing : 27.12.1995

(72)Inventor : DARWISH MOHAMED N
WILLIAMS RICHARD K

(30)Priority

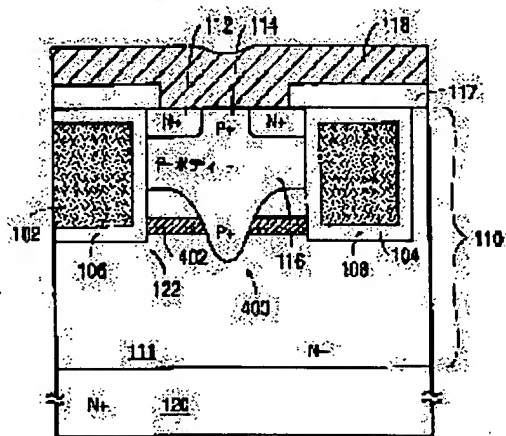
Priority number : 94 367027 Priority date : 30.12.1994 Priority country : US

(54) LOW ON-RESISTANCE TRENCH TYPE MOSFET HAVING DELTA LAYER AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a trench type MOSFET, which has breakdown characteristics enhanced by a P⁺-region in the deep center of an epitaxial layer and a low on resistance by a method, wherein a drain region having a first conductivity type buried layer connected to the upper side surface of a semiconductor material layer via a sinker region, is formed in the epitaxial layer.

SOLUTION: A MOSFET 400 is formed into a constitution, wherein a delta layer 402 is provided in an N-type epitaxial layer 110. An N⁺-source layer 112 is subjected to heavy doping of 1×10^{14} to $7 \times 10^{15} \text{ cm}^{-2}$. A P⁺-contact region 114 is subjected to doping of 1×10^{14} to $5 \times 10^{15} \text{ cm}^{-2}$. The threshold voltage of the MOSFET is decided by the thickness of a gate oxide layer 106 and a doping of a P-type body 116. The body 116 is subjected to a doping of 5×10^{12} to $5 \times 10^{14} \text{ cm}^{-2}$. The thickness of the layer 106 is formed in a range of 80-1200 Å. The layer 402 is doped with an N-type dopant of a concentration higher than the N-type dopant concentration of the part, which is adjacent to the layer 402, of a drift region 11.



LEGAL STATUS

[Date of request for examination] 07.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

THIS PAGE BLANK (USPTO)

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-250732

(43) 公開日 平成8年(1996)9月27日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78		9055-4M	H 0 1 L 29/78	6 5 2 H
		9055-4M		6 5 3 C

審査請求 未請求 請求項の数76 F D (全 20 頁)

(21) 出願番号 特願平7-351967

(22) 出願日 平成7年(1995)12月27日

(31) 優先権主張番号 08/367, 027

(32) 優先日 1994年12月30日

(33) 優先権主張国 米国 (U S)

(71) 出願人 591077450

シリコニクス・インコーポレイテッド
S I L I C O N I X I N C O R P O R A
T E Dアメリカ合衆国カリフォルニア州95054・
サンタクララ・ローレルウッドロード
2201(72) 発明者 モハメッド・エヌ・ダーウィッシュ
アメリカ合衆国カリフォルニア州95070・
サラトガ・アパディーンコート 12891

(74) 代理人 弁理士 大島 陽一 (外1名)

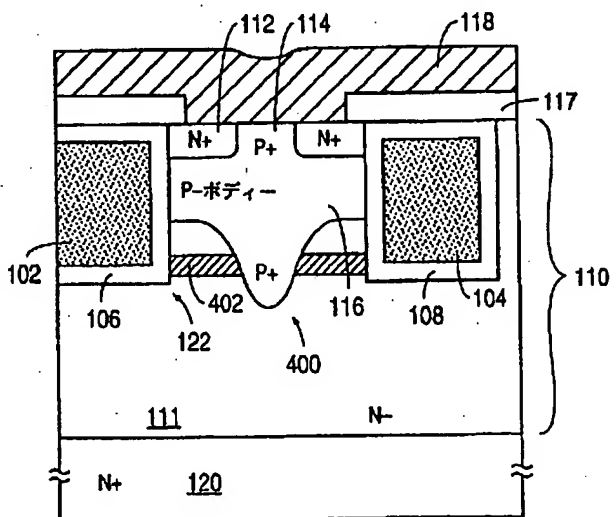
最終頁に続く

(54) 【発明の名称】 デルタ層を有する低オン抵抗のトレンチ型MOSFET及びその製造方法

(57) 【要約】

【課題】 深い中央P+領域による改善されたブレイクダウンに関する特性と、低いオン抵抗とを兼ね備えたトレンチ型MOSFETを提供する。

【解決手段】 パーチカルトレンチ型MOSFETにおいて、ドーパント濃度を高められた層が、MOSFETにおけるボディ領域とドレイン領域とを隔てる軽いドーブをなされた領域若しくは「ドリフト」領域において形成される。このドーパント濃度を高められた層はデルタ層と称し、MOSFETのチャネルから発せられた電流経路を拡げ、ターンオン状態のMOSFETの抵抗率を低下させる作用をなす。



【特許請求の範囲】

【請求項1】 トレンチが形成された半導体基板と、前記トレンチ内に配置され、絶縁層によって前記基板から隔てられたゲートと、前記基板の上側表面上に前記トレンチに隣接して配置された第1導電型のソース領域と、前記トレンチ及び前記ソース領域に隣接するように配置された第2導電型のボディ領域と、前記トレンチと前記ボディ領域に隣接して配置され、前記トレンチの底部より下の位置まで延在するドレイン領域とを有することを特徴とし、前記ドレイン領域が、前記トレンチの前記底部全体の下層をなす濃いドーブをなされた領域と、前記濃いドーブをなされた領域の上層をなす、前記濃いドーブをなされた領域のドーパント濃度よりも低いドーパント濃度を有するドリフト領域と、前記ドリフト領域のドーパント濃度よりも高いドーパント濃度を有するデルタ層とを有することを特徴とし、前記デルタ層が、前記ドリフト領域の少なくとも一部分の上層をなすことを特徴とし、前記デルタ層の上側境界部分が、前記トレンチの前記底部よりも上の位置にあることを特徴とし、前記デルタ層におけるドーパント濃度は水平方向に実質的に均一であることを特徴とするバッチカルトレンチ型MOSFET。

【請求項2】 トレンチが形成された半導体基板と、前記トレンチ内に配置され、絶縁層によって前記基板から隔てられたゲートと、前記基板の上側表面上に前記トレンチに隣接して配置された第1導電型のソース領域と、前記トレンチ及び前記ソース領域に隣接するように配置された第2導電型のボディ領域と、前記トレンチと前記ボディ領域に隣接して配置され、前記トレンチの底部より下の位置まで延在するドレイン領域とを有することを特徴とし、前記ドレイン領域が、前記トレンチの前記底部全体の下層をなす濃いドーブをなされた領域と、前記濃いドーブをなされた領域の上層をなす、前記濃いドーブをなされた領域のドーパント濃度よりも低いドーパント濃度を有するドリフト領域と、前記ドリフト領域のドーパント濃度よりも高いドーパント濃度を有するデルタ層とを有することを特徴とし、前記デルタ層が、前記ドリフト領域の第1部分の上層をなすことを特徴とし、前記デルタ層の上側境界部分が、前記トレンチの前記底部よりも上の位置にあるが、前記ボディ領域と前記ドリフト領域との接合部の少なくとも一部より下の位置にあることを特徴とし、

前記ドリフト領域の第2部分が、前記デルタ層と前記ボディ領域との間にあることを特徴とするバッチカルトレンチ型MOSFET。

【請求項3】 前記デルタ層の上側境界部分が、前記ボディ領域の下側境界部分の少なくとも一部と一致することを特徴とする請求項1に記載のMOSFET。

【請求項4】 トレンチが形成された半導体基板と、前記トレンチ内に配置され、絶縁層によって前記基板から隔てられたゲートと、前記基板の上側表面上に前記トレンチに隣接して配置された第1導電型のソース領域と、前記トレンチ及び前記ソース領域に隣接するように配置された第2導電型のボディ領域と、前記トレンチと前記ボディ領域に隣接して配置され、前記トレンチの底部より下の位置まで延在するドレイン領域とを有することを特徴とし、前記ドレイン領域が、前記トレンチの前記底部全体の下層をなす濃いドーブをなされた領域と、前記濃いドーブをなされた領域の上層をなす、前記濃いドーブをなされた領域のドーパント濃度よりも低いドーパント濃度を有するドリフト領域と、前記ドリフト領域のドーパント濃度よりも高いドーパント濃度を有するデルタ層とを有することを特徴とし、前記デルタ層が、前記ドリフト領域の少なくとも一部分の上層をなすことを特徴とし、前記デルタ層の上側境界部分が、前記トレンチの前記底部よりも上の位置にあることを特徴とし、前記デルタ層の下側境界部分が、前記トレンチの前記底部よりも下の位置にあることを特徴とするバッチカルトレンチ型MOSFET。

【請求項5】 前記デルタ層の下側境界部分が、前記トレンチの底部より上の位置にあることを特徴とする請求項1に記載のMOSFET。

【請求項6】 前記デルタ層がピークドーパント濃度領域を有し、前記デルタ層内のドーパント濃度が、前記ピークドーパント濃度領域から上下方向に離れるにつれて減少することを特徴とする請求項1に記載のMOSFET。

【請求項7】 前記ソース領域及び前記ボディ領域がセルの中に形成され、前記MOSFETが、前記セルの中心部分において前記第2導電型の深い拡散領域を有し、前記深い拡散領域の最も深い点が、前記トレンチよりも低い位置にあることを特徴とする請求項1に記載のMOSFET。

【請求項8】 前記デルタ層の下側境界部分が、前記深い拡散領域の前記最も深い点よりも上の位置にあることを特徴とする請求項7に記載のMOSFET。

【請求項9】 トレンチが形成された半導体基板と、前記トレンチ内に配置され、絶縁層によって前記基板か

ら隔てられたゲートと、

前記基板の上側表面上に前記トレンチに隣接して配置された第1導電型のソース領域と、

前記トレンチ及び前記ソース領域に隣接するように配置された第2導電型のボディ領域と、

前記トレンチと前記ボディ領域に隣接して配置され、前記トレンチの底部より下の位置まで延在するドレイン領域とを有することを特徴とし、

前記ソース領域及び前記ボディ領域が、前記トレンチによって画定されるセルの中に形成されることを特徴とし、

前記ドレイン領域が、

前記トレンチの前記底部全体の下層をなす濃いドーブをなされた領域と、

前記濃いドーブをなされた領域の上層をなす、前記濃いドーブをなされた領域のドーパント濃度よりも低いドーパント濃度を有するドリフト領域と、

前記ドリフト領域のドーパント濃度よりも高いドーパント濃度を有するデルタ層とを有することを特徴とし、

前記デルタ層が、前記ドリフト領域の少なくとも一部分の上層をなすことを特徴とし、

前記デルタ層の上側境界部分が前記トレンチの前記底部よりも上の位置にあることを特徴とし、

前記セルの中央部分において前記第2導電型の深い拡散領域を有することを特徴とし、

前記深い拡散領域が、前記ボディ領域より高いドーパント濃度を有し、その最も深い部分が前記トレンチよりも下の位置にあり、前記デルタ層が前記深い拡散領域の前記最も深い部分の下を走るように配置されることを特徴とするバッチカルトレンチ型MOSFET。

【請求項10】 前記ソース領域及び前記ボディ領域がセルの中に形成されることを特徴とし、

前記セルの中央部分において前記第2導電型の深い拡散領域を有し、前記深い拡散領域が前記ボディ領域の下側境界部分よりも低く、前記トレンチの底部よりも高い位置にその最も深い部分を有することを特徴とする請求項1に記載のMOSFET。

【請求項11】 トレンチが形成された半導体基板と、

前記トレンチ内に配置され、絶縁層によって前記基板から隔てられたゲートと、

前記基板の上側表面上に前記トレンチに隣接して配置された第1導電型のソース領域と、

前記トレンチ及び前記ソース領域に隣接するように配置された第2導電型のボディ領域と、

前記トレンチと前記ボディ領域に隣接して配置され、前記トレンチの底部より下の位置まで延在するドレイン領域とを有することを特徴とし、

前記ソース領域及び前記ボディ領域が、前記トレンチによって画定されるセルの中に形成されることを特徴と

し、

前記ドレイン領域が、

前記トレンチの前記底部全体の下層をなす濃いドーブをなされた領域と、

前記濃いドーブをなされた領域の上層をなす、前記濃いドーブをなされた領域のドーパント濃度よりも低いドーパント濃度を有するドリフト領域と、

前記ドリフト領域のドーパント濃度よりも高いドーパント濃度を有するデルタ層とを有することを特徴とし、

前記デルタ層が、前記ドリフト領域の少なくとも一部分の上層をなすことを特徴とし、

前記デルタ層の上側境界部分が前記トレンチの前記底部よりも上の位置にあることを特徴とし、

前記セルの中央部分において前記第2導電型の深い拡散領域を有することを特徴とし、

前記深い拡散領域が、前記ボディ領域より高いドーパント濃度を有し、その最も深い部分が前記トレンチよりも上の位置にあり、前記デルタ層が前記深い拡散領域の前記最も深い部分の下を走るように配置されることを特徴とするバッチカルトレンチ型MOSFET。

【請求項12】 前記デルタ層の下側境界部分が、前記深い拡散領域の前記最も深い部分のよりも上の位置にあることを特徴とする請求項10に記載のMOSFET。

【請求項13】 前記基板の表面に隣接して設けられたボディコンタクト領域を更に有し、

前記ボディコンタクト領域が、第2導電型であり、前記ボディ領域のドーパント濃度よりも高いドーパント濃度を有し、前記ボディコンタクト領域の最も深い部分が、前記ボディ領域の下側接合部よりも上の位置にあることを特徴とする請求項1に記載のMOSFET。

【請求項14】 前記デルタ層の上側境界部分が、前記ボディコンタクト領域の前記最も深い部分よりも下の位置にあることを特徴とする請求項13に記載のMOSFET。

【請求項15】 前記デルタ層が、ドレイン電流が前記ボディ領域のチャネル領域から発せられた後に抜けて流すようにすることによって、低いオン抵抗をもたらすことを特徴とする請求項1に記載のMOSFET。

【請求項16】 前記デルタ層が、なだれ降伏が前記トレンチのエッジ部分から隔てられた位置で前記深い拡散領域の方向に発生するようにさせることを特徴とする請求項7に記載のMOSFET。

【請求項17】 前記デルタ層が、なだれ降伏が前記トレンチのエッジ部分から隔てられた位置で前記ボディコンタクト領域の方向に発生するようにさせることを特徴とする請求項13に記載のMOSFET。

【請求項18】 前記セルの中央に配置された前記第2導電型の深い拡散領域を更に有し、前記深い拡散領域が前記ボディ領域よりも高いドーパント濃度を有するこ

とを特徴とする請求項1に記載のMOSFET。

【請求項19】 トレンチが形成された半導体基板と、
前記トレンチ内に配置され、絶縁層によって前記基板から隔てられたゲートと、
前記基板の上側表面上に前記トレンチに隣接して配置された第1導電型のソース領域と、
前記トレンチ及び前記ソース領域に隣接するように配置された第2導電型のボディ領域と、
前記トレンチと前記ボディ領域に隣接して配置され、前記トレンチの底部より下の位置まで延在するドレイン領域とを有することを特徴とし、
前記ソース領域及び前記ボディ領域が、前記トレンチによって画定されるセルの中に形成されることを特徴とし、
前記ドレイン領域が、
前記トレンチの前記底部全体の下層をなす濃いドーブをなされた領域と、
前記濃いドーブをなされた領域の上層をなす、前記濃いドーブをなされた領域のドーパント濃度よりも低いドーパント濃度を有するドリフト領域と、
前記ドリフト領域のドーパント濃度よりも高いドーパント濃度を有するデルタ層とを有することを特徴とし、
前記デルタ層が、前記ドリフト領域の第1部分の上層をなすことを特徴とし、
前記デルタ層の上側境界部分が、前記トレンチの前記底部よりも上の位置にあるが、前記ボディ領域と前記ドリフト領域との接合部の少なくとも一部より下の位置にあることを特徴とし、
前記ドリフト領域の第2部分が、前記デルタ層と前記ボディ領域との間にあることを特徴とし、
前記セルの中央部分において前記第2導電型の深い拡散領域を有することを特徴とし、
前記深い拡散領域が、前記ボディ領域より高いドーパント濃度を有することを特徴とするバチカルトレンチ型MOSFET。
【請求項20】 前記デルタ層の境界部分が、前記ボディ領域の下側接合部分の少なくとも一部と一致していることを特徴とする請求項18に記載のMOSFET。
【請求項21】 トレンチが形成された半導体基板と、
前記トレンチ内に配置され、絶縁層によって前記基板から隔てられたゲートと、
前記基板の上側表面上に前記トレンチに隣接して配置された第1導電型のソース領域と、
前記トレンチ及び前記ソース領域に隣接するように配置された第2導電型のボディ領域と、
前記トレンチと前記ボディ領域に隣接して配置され、前記トレンチの底部より下の位置まで延在するドレイン領域とを有することを特徴とし、

前記ソース領域及び前記ボディ領域が、前記トレンチによって画定されるセルの中に形成されることを特徴とし、

前記ドレイン領域が、
前記トレンチの前記底部全体の下層をなす濃いドーブをなされた領域と、
前記濃いドーブをなされた領域の上層をなす、前記濃いドーブをなされた領域のドーパント濃度よりも低いドーパント濃度を有するドリフト領域と、
前記ドリフト領域のドーパント濃度よりも高いドーパント濃度を有するデルタ層とを有することを特徴とし、
前記デルタ層が、前記ドリフト領域の少なくとも一部分の上層をなすことを特徴とし、
前記デルタ層の上側境界部分が、前記トレンチの前記底部よりも上の位置にあることを特徴とし、
前記デルタ層の下側境界部分が、前記トレンチの前記底部よりも下の位置にあることを特徴とし、
前記セルの中央部分において前記第2導電型の深い拡散領域を有することを特徴とし、
前記深い拡散領域が、前記ボディ領域より高いドーパント濃度を有することを特徴とするバチカルトレンチ型MOSFET。

【請求項22】 前記デルタ層の下側境界部分が、前記トレンチの底部よりも上の位置にあることを特徴とする請求項18に記載のMOSFET。

【請求項23】 前記デルタ層がピークドーパント濃度領域を有し、前記デルタ層内のドーパント濃度が、前記ピークドーパント濃度領域から上下方向に離れるにつれて減少することを特徴とする請求項18に記載のMOSFET。

【請求項24】 前記深い拡散領域の最も深い部分が、前記トレンチの底部よりも下の位置にあることを特徴とする請求項18に記載のMOSFET。

【請求項25】 前記デルタ層の下側境界部分が、前記深い拡散領域の前記最も深い部分のよりも上の位置にあることを特徴とする請求項24に記載のMOSFET。

【請求項26】 トレンチが形成された半導体基板と、
前記トレンチ内に配置され、絶縁層によって前記基板から隔てられたゲートと、
前記基板の上側表面上に前記トレンチに隣接して配置された第1導電型のソース領域と、
前記トレンチ及び前記ソース領域に隣接するように配置された第2導電型のボディ領域と、
前記トレンチと前記ボディ領域に隣接して配置され、前記トレンチの底部より下の位置まで延在するドレイン領域とを有することを特徴とし、
前記ソース領域及び前記ボディ領域が、前記トレンチによって画定されるセルの中に形成されることを特徴と

し、
前記ドレイン領域が、
前記トレンチの前記底部全体の下層をなす濃いドーブをなされた領域と、
前記濃いドーブをなされた領域の上層をなす、前記濃いドーブをなされた領域のドーパント濃度よりも低いドーパント濃度を有するドリフト領域と、
前記ドリフト領域のドーパント濃度よりも高いドーパント濃度を有するデルタ層とを有することを特徴とし、
前記デルタ層が、前記ドリフト領域の少なくとも一部分の上層をなすことを特徴とし、
前記デルタ層の上側境界部分が前記トレンチの前記底部よりも上の位置にあることを特徴とし、
前記セルの中央部分において前記第2導電型の深い拡散領域を有することを特徴とし、
前記深い拡散領域が、前記ボディ領域より高いドーパント濃度を有することを特徴とし、
前記デルタ層が前記トレンチの側壁には隣接するが、前記深い拡散領域からは隔てられた形で設けられることを特徴とするバッチカルトレンチ型MOSFET。

【請求項27】 前記深い拡散領域の最も深い部分が、前記ボディ領域の下側接合部より下で、かつ前記トレンチの底部より上の位置にあることを特徴とする請求項18に記載のMOSFET。

【請求項28】 前記デルタ層の下側境界部分が、前記深い拡散領域の前記最も深い部分より下の位置にあることを特徴とする請求項27に記載のMOSFET。

【請求項29】 前記デルタ層の下側境界部分が、前記深い拡散領域の前記最も深い部分より上の位置にあることを特徴とする請求項27に記載のMOSFET。

【請求項30】 前記拡散領域の最も深い部分が、前記ボディ領域の下側接合部よりも上の位置にあることを特徴とする請求項18に記載のMOSFET。

【請求項31】 前記デルタ層の上側境界部分が、前記深い拡散領域の前記最も深い部分よりも下の位置にあることを特徴とする請求項29に記載のMOSFET。

【請求項32】 前記デルタ層が、ドレイン電流が前記ボディ領域のチャネル領域から発せられた後に拡げて流すようにすることによって、低いオン抵抗をもたらすことを特徴とする請求項18に記載のMOSFET。

【請求項33】 前記デルタ層が、なだれ降伏が前記トレンチのエッジ部分から隔てられた位置で前記深い拡散領域の方向に発生するようにさせることを特徴とする請求項24に記載のMOSFET。

【請求項34】 前記デルタ層が、なだれ降伏が前記トレンチのエッジ部分から隔てられた位置で前記深い拡散領域の方向に発生するようにさせることを特徴とする請求項27に記載のMOSFET。

【請求項35】 トレンチが形成された半導体基板と、

前記トレンチ内に配置され、絶縁層によって前記基板から隔てられたゲートと、
前記基板の上側表面上に前記トレンチに隣接して配置された第1導電型のソース領域と、
前記トレンチ及び前記ソース領域に隣接するように配置された第2導電型のボディ領域と、
前記トレンチと前記ボディ領域に隣接して配置され、前記トレンチの底部より下の位置まで延在するドレイン領域とを有することを特徴とし、
前記ドレイン領域が、
前記トレンチの前記底部全体の下層をなす濃いドーブをなされた領域と、
前記濃いドーブをなされた領域の上層をなす、前記濃いドーブをなされた領域のドーパント濃度よりも低いドーパント濃度を有するドリフト領域と、
前記ドリフト領域のドーパント濃度よりも高いドーパント濃度を有するデルタ層とを有することを特徴とし、
前記デルタ層が、前記ドリフト領域の少なくとも一部分の上層をなすことを特徴とし、
前記デルタ層の上側境界部分が、前記トレンチの前記底部よりも上の位置にあることを特徴とし、
前記デルタ層が前記トレンチの側壁から隔てられて設けられることを特徴とするバッチカルトレンチ型MOSFET。

【請求項36】 トレンチが形成された半導体基板と、
前記トレンチ内に配置され、絶縁層によって前記基板から隔てられたゲートと、
前記基板の上側表面上に前記トレンチに隣接して配置された第1導電型のソース領域と、
前記トレンチ及び前記ソース領域に隣接するように配置された第2導電型のボディ領域と、
前記トレンチと前記ボディ領域に隣接して配置され、前記トレンチの底部より下の位置まで延在するドレイン領域とを有することを特徴とし、
前記ドレイン領域が、
前記トレンチの前記底部全体の下層をなす濃いドーブをなされた領域と、
前記濃いドーブをなされた領域の上層をなす、前記濃いドーブをなされた領域のドーパント濃度よりも低いドーパント濃度を有するドリフト領域と、
前記ドリフト領域のドーパント濃度よりも高いドーパント濃度を有するデルタ層とを有することを特徴とし、
前記デルタ層が、前記ドリフト領域の第1部分の上層をなすことを特徴とし、
前記デルタ層の上側境界部分が、前記トレンチの前記底部よりも上の位置にあることを特徴とし、
前記デルタ層が前記トレンチの側壁から隔てられて設けられることを特徴とし、
前記デルタ層の上側境界部分が、前記ボディ領域と前記

ドリフト領域との接合部より下の位置にあり、前記ドリフト領域の第2部分が、前記デルタ層と前記ボディ領域との間にあることを特徴とするバーチカルトレンチ型MOSFET。

【請求項37】 前記デルタ層の境界部分が、前記ボディ領域の下側接合部に一致することを特徴とする請求項33に記載のMOSFET。

【請求項38】 トレンチが形成された半導体基板と、
前記トレンチ内に配置され、絶縁層によって前記基板から隔てられたゲートと、
前記基板の上側表面上に前記トレンチに隣接して配置された第1導電型のソース領域と、
前記トレンチ及び前記ソース領域に隣接するように配置された第2導電型のボディ領域と、
前記トレンチと前記ボディ領域に隣接して配置され、前記トレンチの底部より下の位置まで延在するドレイン領域とを有することを特徴とし、
前記ドレイン領域が、
前記トレンチの前記底部全体の下層をなす濃いドーブをなされた領域と、
前記濃いドーブをなされた領域の上層をなす、前記濃いドーブをなされた領域のドーパント濃度よりも低いドーパント濃度を有するドリフト領域と、
前記ドリフト領域のドーパント濃度よりも高いドーパント濃度を有するデルタ層とを有することを特徴とし、
前記デルタ層が、前記ドリフト領域の少なくとも一部の上層をなすことを特徴とし、
前記デルタ層の上側境界部分が、前記トレンチの前記底部よりも上にあることを特徴とし、
前記デルタ層が、前記トレンチの側壁から隔てられて設けられることを特徴とし、
前記デルタ層の下側境界部分が、前記トレンチの底部よりも下にあることを特徴とするバーチカルトレンチ型MOSFET。

【請求項39】 前記デルタ層の下側境界部分が、前記トレンチの底部よりも上の位置にあることを特徴とする請求項35に記載のMOSFET。

【請求項40】 前記デルタ層がピークドーパント濃度領域を有し、前記デルタ層内のドーパント濃度が、前記ピークドーパント濃度領域から上下方向に離れるにつれて減少することを特徴とする請求項35に記載のMOSFET。

【請求項41】 前記ソース領域及び前記ボディ領域がセルの中に形成され、前記MOSFETが、前記セルの中心部分において前記第2導電型の深い拡散領域を有し、前記深い拡散領域の最も深い点が、前記トレンチよりも低い位置にあることを特徴とする請求項35に記載のMOSFET。

【請求項42】 前記デルタ層の下側境界部分が、前

記深い拡散領域の前記最も深い点よりも上の位置にあることを特徴とする請求項41に記載のMOSFET。

【請求項43】 トレンチが形成された半導体基板と、
前記トレンチ内に配置され、絶縁層によって前記基板から隔てられたゲートと、
前記基板の上側表面上に前記トレンチに隣接して配置された第1導電型のソース領域と、
前記トレンチ及び前記ソース領域に隣接するように配置された第2導電型のボディ領域と、
前記トレンチと前記ボディ領域に隣接して配置され、前記トレンチの底部より下の位置まで延在するドレイン領域とを有することを特徴とし、
前記ドレイン領域が、
前記トレンチの前記底部全体の下層をなす濃いドーブをなされた領域と、
前記濃いドーブをなされた領域の上層をなす、前記濃いドーブをなされた領域のドーパント濃度よりも低いドーパント濃度を有するドリフト領域と、
前記ドリフト領域のドーパント濃度よりも高いドーパント濃度を有するデルタ層とを有することを特徴とし、
前記デルタ層が、前記ドリフト領域の少なくとも一部の上層をなすことを特徴とし、
前記デルタ層の上側境界部分が、前記トレンチの前記底部よりも上にあることを特徴とし、
前記デルタ層が、前記トレンチの側壁から隔てられて設けられることを特徴とし、
前記セルの中央部分において前記第2導電型の深い拡散領域を有することを特徴とし、
前記深い拡散領域が、前記ボディ領域より高いドーパント濃度を有することを特徴とし、
前記深い拡散領域の最も深い部分の位置が前記トレンチの底部よりも下にあり、前記デルタ層が前記深い拡散領域の前記最も深い部分の下を走るように配置されることを特徴とするバーチカルトレンチ型MOSFET。

【請求項44】 前記ソース領域及び前記ボディ領域がセルの中に形成され、前記MOSFETが、前記セルの中心部分において前記第2導電型の深い拡散領域を有し、前記深い拡散領域の最も深い点が、前記ボディ領域の下側接合部より下で、かつ前記トレンチの底部より上の位置にあることを特徴とする請求項35に記載のMOSFET。

【請求項45】 トレンチが形成された半導体基板と、
前記トレンチ内に配置され、絶縁層によって前記基板から隔てられたゲートと、
前記基板の上側表面上に前記トレンチに隣接して配置された第1導電型のソース領域と、
前記トレンチ及び前記ソース領域に隣接するように配置された第2導電型のボディ領域と、

前記トレンチと前記ボディ領域に隣接して配置され、前記トレンチの底部より下の位置まで延在するドレイン領域とを有することを特徴とし、

前記ドレイン領域が、

前記トレンチの前記底部全体の下層をなす濃いドーブをなされた領域と、

前記濃いドーブをなされた領域の上層をなす、前記濃いドーブをなされた領域のドーパント濃度よりも低いドーパント濃度を有するドリフト領域と、

前記ドリフト領域のドーパント濃度よりも高いドーパント濃度を有するデルタ層とを有することを特徴とし、

前記デルタ層が、前記ドリフト領域の少なくとも一部分の上層をなすことを特徴とし、

前記デルタ層の上側境界部分が、前記トレンチの前記底部よりも上の位置にあることを特徴とし、

前記デルタ層が前記トレンチの側壁から隔てられて設けられることを特徴とし、

前記セルの中央部分において前記第2導電型の深い拡散領域を有することを特徴とし、

前記深い拡散領域が、前記ボディ領域より高いドーパント濃度を有することを特徴とし、

前記深い拡散領域の最も深い部分の位置が前記トレンチの底部よりも下にあり、前記デルタ層が前記深い拡散領域の前記最も深い部分の下を走るように配置されることを特徴とするバチカルトレンチ型MOSFET。

【請求項46】 前記デルタ層の下側境界部分が、前記深い拡散領域の前記最も深い部分よりも上の位置にあることを特徴とする請求項44に記載のMOSFET。

【請求項47】 前記基板の表面に隣接するように設けられたボディコンタクト領域を更に有し、前記ボディコンタクト領域の導電型が前記第2導電型で、そのドーパント濃度が前記ボディ領域のドーパント濃度よりも大きく、前記ボディコンタクト領域の最も深い部分の位置が前記ボディ領域の下側接合部分より上にあることを特徴とするMOSFET。

【請求項48】 前記デルタ層の上側境界部分が、前記ボディコンタクト領域の前記最も深い部分よりも下の位置にあることを特徴とする請求項47に記載のMOSFET。

【請求項49】 前記デルタ層が、ドレイン電流が前記ボディ領域のチャネル領域から発せられた後に拡げて流すようにすることによって、低いオン抵抗をもたらすことを特徴とする請求項35に記載のMOSFET。

【請求項50】 前記デルタ層が、なだれ降伏が前記トレンチのエッジ部分から隔てられた位置で前記深い拡散領域の方向に発生するようにさせることを特徴とする請求項41に記載のMOSFET。

【請求項51】 前記デルタ層が、なだれ降伏が前記トレンチのエッジ部分から隔てられた位置で前記深い拡散領域の方向に発生するようにさせることを特徴とする

請求項44に記載のMOSFET。

【請求項52】 前記デルタ層が、前記第1導電型のエピタキシャル層の中に形成され、前記エピタキシャル層のドーパント濃度が概ね $5 \times 10^{12} \text{ cm}^{-3}$ であり、前記デルタ層のピークドーパント濃度が $1 \times 10^{16} \text{ cm}^{-3}$ より大きいことを特徴とする請求項1に記載のMOSFET。

【請求項53】 前記デルタ層が、前記第1導電型のエピタキシャル層の中に形成され、前記エピタキシャル層のドーパント濃度が概ね $5 \times 10^{12} \text{ cm}^{-3}$ であり、前記デルタ層の全体のQが、少なくとも $5 \times 10^{11} \text{ cm}^{-3}$ であることを特徴とする請求項1に記載のMOSFET。

【請求項54】 前記デルタ層が、前記第1導電型のエピタキシャル層の中に形成され、前記エピタキシャル層のドーパント濃度が概ね $5 \times 10^{12} \text{ cm}^{-3}$ であり、前記デルタ層のピークドーパント濃度が $1 \times 10^{16} \text{ cm}^{-3}$ より大きいことを特徴とする請求項18に記載のMOSFET。

【請求項55】 前記デルタ層が、前記第1導電型のエピタキシャル層の中に形成され、前記エピタキシャル層のドーパント濃度が概ね $5 \times 10^{12} \text{ cm}^{-3}$ であり、前記デルタ層の全体のQが、少なくとも $5 \times 10^{11} \text{ cm}^{-3}$ であることを特徴とする請求項18に記載のMOSFET。

【請求項56】 前記デルタ層が、前記第1導電型のエピタキシャル層の中に形成され、前記エピタキシャル層のドーパント濃度が概ね $5 \times 10^{12} \text{ cm}^{-3}$ であり、前記デルタ層のピークドーパント濃度が $1 \times 10^{16} \text{ cm}^{-3}$ より大きいことを特徴とする請求項35に記載のMOSFET。

【請求項57】 前記デルタ層が、前記第1導電型のエピタキシャル層の中に形成され、前記エピタキシャル層のドーパント濃度が概ね $5 \times 10^{12} \text{ cm}^{-3}$ であり、前記デルタ層の全体のQが、少なくとも $5 \times 10^{11} \text{ cm}^{-3}$ であることを特徴とする請求項35に記載のMOSFET。

【請求項58】 前記トレンチの底部が、前記基板の前記表面より $1.0 \mu\text{m} \sim 5.0 \mu\text{m}$ 下に位置することを特徴とする請求項1に記載のMOSFET。

【請求項59】 前記ソース領域及び前記ボディ領域がセルの中に形成され、前記セルの中央部分において前記第2導電型の深い拡散領域を更に有し、前記深い拡散領域の最も深い領域が、前記表面から $1.0 \mu\text{m} \sim 3.0 \mu\text{m}$ 下に位置することを特徴とする請求項58に記載のMOSFET。

【請求項60】 前記ボディ領域が、前記表面から概ね $1.0 \mu\text{m}$ 下の位置から、前記表面から概ね $2.0 \mu\text{m}$ 下の位置まで延在することを特徴とする請求項58に記載のMOSFET。

【請求項61】 前記デルタ層の下側境界部分が、前記表面から $1.0\mu\text{m}\sim 4.0\mu\text{m}$ の距離をおいて配置されることを特徴とする請求項5に記載のMOSFET。

【請求項62】 第1導電型の基板を設ける過程と、前記基板の表面上に前記第1導電型のエピタキシャル層を形成する過程と、前記エピタキシャル層の中に、前記エピタキシャル層の他の部分より高いドーパント濃度を有するデルタ注入領域を形成するために、前記エピタキシャル層の上側表面を通して前記第1導電型のドーパントを注入する第1注入を実施する過程と、深い拡散領域を形成すべき前記エピタキシャル層の前記上側表面を通して、前記第2導電型のドーパントを注入する第2注入を実施する過程と、前記エピタキシャル層の前記上側表面において、活性化領域を画定する過程と、前記上側表面において、前記活性化領域に隣接するようにトレンチを形成する過程と、ボディ注入領域を形成すべく、前記基板に前記第2導電型のドーパントを注入する第3注入を実施する過程と、ソース領域を形成すべき前記基板に、前記第1導電型のドーパントを注入する第4注入を実施する過程と、前記ソース領域と前記ボディ注入領域とのコンタクト領域を形成するために、金属を被着させる過程とを有するバッチカルトレンチ型MOSFETの製造方法。

【請求項63】 前記第1注入過程において、 120KeV のエネルギーで $5\times 10^{13}\text{cm}^{-2}$ のドーパントの注入が行われることを特徴とする請求項62に記載の方法。

【請求項64】 前記第1注入が、前記デルタ注入領域のエッジが前記トレンチのエッジから隔てられるように、マスクを通して行われることを特徴とする請求項62に記載の方法。

【請求項65】 前記マスクがフィールド酸化マスクを含むことを特徴とする請求項64に記載の方法。

【請求項66】 前記第1注入及び前記第3注入が、前記デルタ注入領域のピークドーパント濃度領域が前記ボディ注入領域のピークドーパント濃度領域の下に位置づけられるようなエネルギーで、それぞれ実施されることを特徴とする請求項26に記載の方法。

【請求項67】 前記第1注入が、前記デルタ注入領域のピークドーパント濃度領域の位置が前記トレンチの底部よりも上になるようなエネルギーで実施されることを特徴とする請求項62に記載の方法。

【請求項68】 前記第1注入が、前記デルタ注入領域のピークドーパント濃度領域の位置が前記トレンチの底部よりも下になるようなエネルギーで実施されることを特徴とする請求項62に記載の方法。

【請求項69】 前記第1注入が、 $2\times 10^{11}\text{cm}^{-2}$

$\sim 1.5\times 10^{12}\text{cm}^{-2}$ のQの値を有することを特徴とする請求項62に記載の方法。

【請求項70】 前記第1注入が、概ね 120KeV のエネルギーで実施されることを特徴とする請求項62に記載の方法。

【請求項71】 前記トレンチの底部が、前記上側表面より概ね $1.5\mu\text{m}$ 下にあるようにすることを特徴とする請求項62に記載の方法。

【請求項72】 前記深い拡散領域の最も深い部分が、前記上側表面より概ね $2.5\mu\text{m}$ 下の位置にあるようにすることを特徴とする請求項62に記載の方法。

【請求項73】 前記第1注入が前記エピタキシャル層の形成過程の間に実施されることを特徴とする請求項62に記載の方法。

【請求項74】 第1導電型の基板を設ける過程と、前記基板の表面上に前記第1導電型のエピタキシャル層を形成する過程と、前記エピタキシャル層の上側表面においてマスクを設ける過程と、前記エピタキシャル層の中に、前記エピタキシャル層の他の部分のドーパント濃度より高いドーパント濃度を有するデルタ注入領域を形成するために、前記マスクを通して前記第1導電型のドーパントの注入を実施する過程と、

深い拡散領域を形成すべき前記エピタキシャル層の前記上側表面を通して、前記第2導電型のドーパントを注入する第2注入を実施する過程と、前記エピタキシャル層の前記上側表面において、活性化領域を画定する過程と、前記上側表面において、前記活性化領域に隣接するようにトレンチを形成する過程と、

ボディ注入領域を形成すべく、前記基板に前記第2導電型のドーパントを注入する第3注入を実施する過程と、ソース領域を形成すべき前記基板に、前記第1導電型のドーパントを注入する第4注入を実施する過程と、前記ソース領域と前記ボディ注入領域とのコンタクト領域を形成するために、金属を被着させる過程とを有するバッチカルトレンチ型MOSFETの製造方法。

【請求項75】 前記マスクが、前記デルタ注入領域が前記トレンチから隔てられるような形状に形成されることを特徴とする請求項74に記載の方法。

【請求項76】 前記トレンチにイオンが注入されるのを防止すべく、前記トレンチ上にフォトリソ層を被着する過程を更に有することを特徴とする請求項74に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トレンチの中に形成されたゲートを有する電流スイッチングMOSFETに関し、特に、ターンオン時の抵抗率が低いトレンチ型

MOSFETに関する。さらに、1994年12月30日出願の米国特許出願第08/367,127号にも本発明に関連する技術が開示されており、同出願の明細書を参照されたい。

【0002】

【従来の技術】パワーMOSFETは自動車の電子技術、ディスクドライブ、及びパワーサプライ等の様々な応用分野において広く使用されている。一般に、これらのデバイスはスイッチとして機能し、電源を負荷に接続するために用いられる。スイッチがオン状態にあるときには、デバイスの抵抗はできる限り低く抑えることが重要である。抵抗が高くと、電力が無駄に消費され、かつ過剰な熱が生成されることになる。

【0003】現在使用されているパワーMOSFETの普通のタイプのものは図1に断面が示されているような、プレーナ型のDMOSデバイスである。電流はN+ソース領域12からP-ボディ領域14の内部に形成されたチャンネル領域を通してN-エピタキシャル層16に流れる。チャンネル領域における電流はゲート18によって制御される。電流はチャンネル領域を流れた後、N-エピタキシャル層16を通してN+基板20に流れるが、このN+基板20はデバイスのドレインを形成する。寄生の接合型電界効果トランジスタ(JFET)は、N-エピタキシャル層16の介入領域の一方の側にP-ボディ領域14が存在することによって形成される。P-ボディ領域14とN-エピタキシャル層16との接合部近傍の空乏層22は電流経路を押しつぶして電流を妨げ、これによってこの領域における抵抗値を上昇させる。電流がN-エピタキシャル層16を通して下方向に進行するにつれ、電流経路は横に拡がって抵抗は低減する。

【0004】バーチカル電流デバイスの別の形態においては、ゲートは「トレンチ」の中に形成される。このようなデバイスはMOSFETの1つのセル100の断面図である図2、及びそのセルの底面図である図3において示されている。ゲート102及び104はトレンチの中に形成され、ゲート酸化層106及び108によってそれぞれ外囲されている。トレンチゲートは(図3にその一部が示されているように)、格子パターンの中に形成されていることが多く、この各格子は1つの相互接続ゲートとなる。トレンチゲートは、一連の平行なストライプ形状として形成されることもある。

【0005】MOSFET100は、N-エピタキシャル層110に形成された二重拡散デバイスである。N+ソース領域にはエピタキシャル層110の表面に形成され、これはP+コンタクト領域114も同様である。P-ボディ116はN+ソース領域112及びP+コンタクト領域114の下に配置される。金属ソースコンタクト118はN+ソース領域112と接触し、かつN+ソース領域112をP+コンタクト領域114及びP-ボディ116にショートする。

【0006】N-エピタキシャル層110はN+基板120上に形成され、ドレインコンタクト(図示せず)はN+基板120の底部に配置される。ゲート102及び104に対するコンタクト部分も同様に図示されていないが、これは一般的にはトレンチの外部の導電性ゲート材料を延ばし、各セルから離れた位置に金属のコンタクト部分を形成することによって形成される。ゲートは燐若しくはホウ素でドーブされたポリシリコン製であるのが一般的である。

【0007】N-エピタキシャル層110のN+基板120とP-ボディ116との間の領域111は、一般にN+基板120よりも薄くN型不純物のドーブを成される。これによってMOSFET100の高電圧に対する耐性が増加する。領域111は「薄いドーブをなされた領域」若しくは「ドリフト領域」とよばれることもある。(ドリフトとは電界におけるキャリアの移動を指す。)ドリフト領域111及びN+基板120はMOSFET100のドレインを構成する。

【0008】MOSFETはN-チャンネルMOSFETである。正の電圧がゲート102に印加されると、ゲート酸化層106に隣接するP-ボディ116の内部のチャンネル領域が反転し、ソース領域112とN+基板120との間に電位差がある場合には、電子がソース領域がチャンネル領域を通してドリフト領域111に流れる。ドリフト領域111においては、一定の角度で対角方向に広がって流れる電子があり、この電子はN+基板120に衝突した後、更に垂直方向にドレインに向かって流れる。他の電流はドリフト領域111を通してまっすぐに流れ、電流の一部はゲート102の下側を流れて、ドリフト領域111を通して下向きに流れる。

【0009】ゲート102は導電性材料でドーブされる。MOSFET100はN-チャンネルMOSFETなので、ゲート102には燐でドーブされたポリシリコンが用いられ得る。ゲート102は、ゲート酸化層106によってMOSFET100の他の部分から絶縁される。ゲート酸化層106の厚みはMOSFET100の閾値電圧を設定するべく選択され、また、これはMOSFET100のブレイクダウン電圧にも影響を与える。MOSFET100のようなパワーMOSFETのブレイクダウン電圧は200Vよりも低く、60V前後であることが一般的である。

【0010】トレンチ形状のMOSFETを魅力的なものにしている特徴のひとつは、上記のように電流がMOSFETのチャンネルを通して垂直に流れる点である。これによって、電流がチャンネルを水平に流れるMOSFETよりも、高いパッキング密度が得られる。セル密度がより高いものになることは、基板の単位面積当たりのデバイス数が増えることを一般には意味し、またMOSFETは平行に接続されるので、デバイスのオン抵抗が低下することにもなる。

【0011】図2に示すMOSFET100においては、P+コンタクト領域114が非常に浅い形状となっており、P-ボディ116の下側接合部まで延びていない。これによって、P-型ドーパントがチャネル領域まで届かないようになり、デバイスの閾値電圧を高め、デバイスのターンオン特性を、動作毎にP+コンタクト領域114のアライメントに応じて変化させることができることになる。しかし、P+領域114を浅くすると、デバイスはターンオフ時に比較的に低い電圧（例えば10V）にしか耐えられなくなる。これは、P-ボディ116とドリフト領域111の接合部の周りに広がる空乏層がトレンチのコーナー部分を（例えば図2に示すコーナー122）十分にプロテクトしないからである。この結果、トレンチの近傍においてなだれ降服が発生しゲート酸化層106を損ない得るキャリアの発生率が高くなり、最悪の場合には、ゲート酸化層106が破壊されることにもなる。従って、図3に示すMOSFETが低電圧デバイスとしては最良のものであるといえる。

【0012】図4に示すのは、更に変形を加えたMOSFET100であり、ここではP+ボディコンタクト領域114がP-ボディ116の下側接合部のすぐ上まで延びている。この領域におけるPイオン濃度を高めることによって、空乏領域の大きさが増加し、これによって、トレンチのコーナー部分122の回りに追加的なシールドが与えられることになる。しかし、デバイスがブレイクダウン状態にされる場合においては、ゲート酸化層106の近傍においてキャリアが発生し易くなり、ゲート酸化層が損なわれることになりうる。

【0013】図5～図7に示すような構成においては、ブレイクダウンに関する特性が著しく改善される。このような構成は、Bulucea等に付与された米国特許第5,072,266号明細書に記載されている。MOSFET300においては、P+領域114がトレンチの底部より更に低いところまで伸び、セルの中央部に深く、濃いドーブをなされたP領域を形成する。これによってコーナー部分122において追加的なシールドがなされる一方、キャリアの発生は、P+領域114の下側端部302に比較的集中するようになるという利点が生ずる。これは、端部302の下側で電界が強められ、これによってゲート酸化層106に隣接した場所ではなく、前記の場所若しくは接合部の湾曲に沿った部分においてキャリアが発生するためである。ゲート酸化106に掛かる負担が低減し、高電圧下で使用した場合のMOSFET300の信頼性が改善される。これは、たとえデバイスの接合部における実際のブレイクダウン電圧が低減してしまう場合であってもいえることである。

【0014】図6に示すのは、図5に示すセルの左半分の断面図であって、隣接するセルの一部も示されている。図7に示すのは同等のP-チャネルデバイスである。図6は、ゲート102と104との接続をなすため

にゲート金属領域121がどのように用いられているかを示したものである。

【0015】MOSFET300における深い中央P+領域114は、有害な影響を著しく低減させる一方で、好ましくない影響も与える。第1に、セル密度を上げるとPイオンがチャネル領域に導入されてしまうため、セル密度の上昇に制限がある点である。上記のように、これによってMOSFETの閾値電圧が高くなる傾向がある。第2に、P+領域114が存在することによって、電子の流れがチャネルから流れてドリフト領域111にはいるときに電子の流れに対するピンチ抵抗が生じる傾向がある点である。（例えば図2に示すような）深いP+中央領域を含まない実施例においては、電流経路はドリフト領域111に達したとき拡がる。このように電流が広がって流れることによって、ドリフト領域111における単位面積当たりの平均電流が低下し、MOSFETのオン抵抗も減ることになる。従って、深い中央P+領域が存在すると電流経路の拡がり制限され、セル密度が高くなると共にオン抵抗が高くなる。

【0016】

【発明が解決しようとする課題】従って、本発明の目的は、深い中央P+領域による改善されたブレイクダウンに関する特性と、低いオン抵抗とを兼ね備えたトレンチ型MOSFETを提供することである。

【0017】

【課題を解決するための手段】本発明のトレンチ型MOSFETは、トレンチの中に形成されたゲートと、第1導電型のソース領域と、前記ソース領域の下に配置された第2導電型のボディ領域と、前記ボディ領域の下に配置された導電型のドレイン領域と、前記ドレイン領域の外部の「薄いドーブをなされた」領域若しくは「ドリフト」領域とを有し、前記ドリフト領域のドーパント濃度は前記ドレイン領域のドーパント濃度より一般的に低い。ドレイン領域は基板を有し、または「準バーチカル型」の実施例においては、ドレイン領域は、例えば「シンカー」領域を介して半導体材料の上側表面と接続される第1導電型の埋込層を有する。ドレイン領域はエピタキシャル層若しくは基板の中に形成される。

【0018】MOSFETがターンオン状態の時、電流はトレンチに隣接するボディ領域内部のチャネルを通して垂直方向に流れる。MOSFETがターンオン状態の場合チャネル領域の下側（ドレイン側）端部における導電経路の拡がりを促進するべく、「デルタ層」がドリフト領域の内部に設けられる。デルタ層はその第1導電型のドーパント濃度が、ドリフト領域の第1導電型のドーパント濃度よりも一般に大きい層である。多くの実施例においては、デルタ層はボディ領域と接触するように設けられるが、実施例の中にはデルタ層とボディ領域が間隔をおいて設けられているものもある。

【0019】デルタ層の上側の境界部分は、中にゲート

が設けられるトレンチの底部よりも上の位置にある。実施例によっては、デルタ層の上側境界部分が、ボディ領域の下側接合部の位置と一致しているものもある。デルタ層の下側境界部分はトレンチの底部よりも上の位置もしくは下の位置にある。

【0020】MOSFETはトレンチとトレンチの間に挟まれたセルにおいて形成され、従って左右対称の構造を有するのが一般的である。実施例によっては、デルタ層末端部とトレンチとのが接触していない形のものもある。また実施例によっては、第2導電型の領域がデルタ層の中央の穴部分を通して下側に延在しているものもある。デルタ層はMOSFETにおいて第2導電型の深い中央領域と共に形成されるか、もしくは第2導電型の深い中央領域なしに形成される。

【0021】デルタ層は、ドリフト領域と比較して一般に比較的抵抗率が低い領域を構成し、従ってチャネルの下側（ドレイン側）末端部から発せられた電流の経路が外側に拡がるように作用する。これによってMOSFETのブレイクダウン特性に著しい悪影響を与えることはない。

【0022】ここで用いられた、「下側」、「上側」、若しくは「底部」等の物理的な方向若しくは関係を特定する言葉は、トレンチがデバイスの上側表面に設けられた形となる図5～図7、及び図9のように示されたMOSFETを説明するために用いられている。これらの表現は、図面上での表示に関するものであって、実際のMOSFETの方向には関係がないということを理解されたい。

【0023】

【発明の実施の形態】本発明に基づくMOSFET400が図9に示されている。MOSFET400は、一般に図5に示すMOSFET300に相当するものであるが、これに加えてデルタ層402がN-エピタキシャル層110に設けられている。N+ソース領域112は一般に $1 \times 10^{14} \sim 7 \times 10^{15} \text{ cm}^{-2}$ の濃いドーブをなされる。P+コンタクト領域114は $1 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ のドーブをなされる。ゲート酸化層の厚みと、Pボディ116のドーピングとによって閾値電圧が決まる。Pボディ116は、一般に $5 \times 10^{12} \sim 5 \times 10^{14} \text{ cm}^{-2}$ のドーブをなされる。ゲート102及びゲート酸化層106が形成されるトレンチは、図示したように矩形の断面を有するが、必ずしも矩形である必要はない。ゲート酸化層106の厚みは、 $80 \text{ \AA} \sim 1200 \text{ \AA}$ の範囲にあるのが一般的である。Nデルタ層402は、ドリフト領域111のそれに隣接する部分のN型ドーパント濃度よりも、高い濃度のN型ドーパントでドーブされる。ドリフト領域111のドーパント濃度は $5 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ の範囲にあるのが一般的であり、N+基板120のドーパント濃度は $5 \times 10^{17} \sim 1 \times 10^{12} \text{ cm}^{-3}$ であるのが一般的である。

【0024】図10に示すのは、MOSFET400のドーパント濃度の分布を示したグラフである。グラフの横軸はMOSFETの表面から下方向の距離を μm 単位で表し、グラフの縦軸はイオン数/ cm^3 単位のドーパント濃度を表している。図に示すように、Nデルタ層402におけるドーパント濃度は最大約 $4 \times 10^{16} \text{ cm}^{-3}$ に達しており、ドリフト領域111の隣接する部分のN型ドーパント濃度（この例では約 $4 \times 10^{15} \text{ cm}^{-3}$ で一定である）よりも一般に高い数値となっている。

【0025】Nデルタ層402はドリフト領域111よりも一般に低い抵抗率を有し、電流分布を、MOSFETのチャネル領域の下側（ドレイン）末端部から離れるにつれて効果的に拡げている。この効果は図11及び図12から明らかであるが、これらの図は、2次元デバイスシミュレータMedici（登録商標）を用いたコンピュータシミュレーションの結果を示したものである。どちらのシミュレーションも、MOSFETは $7 \mu\text{m}$ のセル幅と約 $1.5 \mu\text{m}$ の深さのトレンチを有するデバイスに対するものである。図11に示すデバイスは、図3のMOSFET300と同じ形状のものであり、図12に示すデバイスは、図9のMOSFET400と同じ形状のものであって、後者はデルタ層を有している。

【0026】図11及び図12に示す線のパターンは、電流の分布を表しており、各線の間に全ドレイン電流の5%が分布していることを表している。MOSFET400における電流分布は、チャネルのドレイン末端から発した後、MOSFET300における電流分布と較べて非常に大きく扇形に拡がっていることは、図12から明らかである。例えば、トレンチの右側エッジに沿って見てみると、MOSFET400においてはトレンチの右側に電流の約38%が流れる一方、MOSFET300においては電流の約23%がトレンチの右側に流れていることが明らかである。このことは、図9に示すMOSFET400のオン抵抗が実質的に改善されていることを示している。MOSFET400のオン抵抗は、MOSFET300のオン抵抗よりも概ね25%低い。

【0027】図13及び図14に示すのは、MOSFET400に対する等ポテンシャル線及び電界分布のシミュレーション結果である。図15に示すのは、同じデバイスについてのイオン化率を示したものである。図13～図15のそれぞれにおいては、ドレイン-ソース電圧 V_{DS} は60Vである。図14においては、A及びBで示される点における電界はそれぞれ $26.7 \text{ V}/\mu\text{m}$ 、 $35.3 \text{ V}/\mu\text{m}$ である。図15には、P+領域114とドリフト領域110との接合部におけるイオン化率の積分値が0.84であることが示されている。これは、ゲート酸化の近傍で生じるイオンがほとんど無いことと、デバイスの特性であるブレイクダウン電圧がデルタ層の存在によって著しい影響を受けることはないということを示している。

【0028】別の実施例のMOSFETでは、トレンチとデルタ層とが間隔をおいて設けられる。このような形状のMOSFET 800が図16において示されている。このMOSFET 800においては、Nデルタ層802が、内部にゲート102及び104を形成されたトレンチから間隔をおいて設けられている。MOSFET 800のようなMOSFETの動作のシミュレーションが、Nデルタ層の末端部とトレンチとの間隔が $2\mu\text{m}$ として行われた。図17、図18、及び図19に示すのは、 $V_{DS}=60\text{V}$ の場合の、このデバイスの等ポテンシャル線、電界分布、及びイオン化率である。MOSFETがターンオフ状態のとき、トレンチ（図18においてCで示されている）のコーナー部分における電界は $33\text{V}/\mu\text{m}$ である。従って、Nデルタ層とトレンチのエッジとの間に間隔をおくことによってブレイクダウン電圧は上昇するが、デバイスのオン抵抗は改善度は、デルタ層がトレンチのエッジにまで伸びているデバイスと比較していくらか小さくなる。それでもやはり、オン抵抗は、デルタ層を持たない似たようなデバイスと比較して約10%小さくなるのである。

【0029】更に別の実施例が図20に示されており、図20のMOSFET 1000はNデルタ層1002を有する。デルタ層1002は環状の形状を有し、デルタ層1002とP+領域114との間に間隔がおかれる。この構造では図9のMOSFET 400と比較してオン抵抗は高くなるが、デルタ層における総電荷量が小さくなるので、ブレイクダウン電圧は増加する。

【0030】ここで用いられている「デルタ層」という言葉は、トレンチ型パッチカルMOSFETにおけるボディ領域の下層をなす層を意味しており、そのドーパント濃度はデルタ層のすぐ下の領域のドーパント濃度よりも高い。デルタ層の境界部分は、ドーパント濃度の低下が止まった位置（例えば、ドーパント濃度が一定になるか若しくは上昇し始める位置）、若しくはデルタ層がボディ領域と接触する位置にある。デルタ層の下側境界面の位置は、トレンチの底部の上側若しくは下側にあり、セルの中央部における逆の導電型の領域の底部よりも高いか若しくは低い高さである。デルタ層の上側境界面は、ボディ領域の下側接合部と一致するか、若しくはボディ領域の下側接合部よりも下の位置となる。デルタ層はエピタキシャル層若しくは基板の中に設けられ得る（例えば、実施例によっては、エピタキシャル層の代わりに薄いドーパをなされたドリフト領域が基板内に形成されうる）。

【0031】更に、デルタ層は多くの他のパッチカルトレンチ型MOSFETと同様にMOSFET 100及び200（図2及び図3に示されたもの）にも設けられ得る。トレンチは断面が矩形である必要はなく、U型若しくはV型、または他の形状の（例えば丸い角を持つ矩形の形状）のものでもよい。本発明の原理はN-チャネル

デバイスとして例示されているが、同等のPデルタ層をP-チャネルデバイスにおいて用いることができる。

【0032】本発明に基づくMOSFETの製造プロセスには多くのパターンがあるが、図21～図27に示すのは、図9に示すMOSFET 400の製造プロセスの例示である。

【0033】図21に示すように、この過程は、周知のプロセスを用いてN-エピタキシャル層110をその上に成長させた従来通りのN+基板120から開始される。

【0034】図22に示すように、Nデルタ層402は、 $60\sim 250\text{KeV}$ のエネルギーで $1\times 10^{13}\sim 2\times 10^{14}\text{cm}^{-3}$ のN型ドーパントを、N-エピタキシャル層110の上側表面を通して注入される（例えば 120KeV のエネルギーで $8\times 10^{13}\text{cm}^{-3}$ の砒素イオンを注入される）。Nデルタ層402は、図に示すようにエピタキシャル層110の表面に至るまで延在しているが、デルタ層402のN-型ドーパント濃度は、たとえ注入の直後であったとしても均一ではない。N-型ドーパント濃度のピークは、エピタキシャル層110の表面より少なくとも $0.1\mu\text{m}$ 下の位置にあるのが一般的であり、これによってボディ領域の逆ドーピングを回避している（以下の記述を参照）。Nデルタ層402の下側のN-エピタキシャル層110の部分はドリフト領域111の一部分を形成している。別の実施例では、Nデルタ層402が、N-エピタキシャル層110が成長しているときに追加的なN-型ドーパントを加えることによって形成されうる。

【0035】次に、厚い酸化層113A及び薄い酸化層113Bが、構造体の上側表面上に成長させられる。また深いP+領域114は、薄い酸化層113Bを通してイオン注入される。この結果できあがった構造は図23に示されている。次に、酸化層113A及び113Bは除去される。

【0036】次に、厚い酸化層115が、深いP+領域114の上方に成長させられ、薄い酸化層119が、トレンチが形成されるべき位置を除いた構造の残りの部分の上に成長させられる。次に、トレンチがエッチングされ、ゲート酸化層106、108及びゲート102、104が周知の技術に基づいて形成される。この結果できあがった構造は図24に示されている。

【0037】次に、図25及び図26に示すように、Pボディ116が薄い酸化層119を通してイオン注入され（例えば 100KeV のエネルギーで $3\times 10^{13}\text{cm}^{-3}$ のホウ素イオンの注入がなされる）、同様にN+ソース領域112にもイオン注入がなされる。最後に、酸化層115及び119が除去される。フィールド酸化層117が成長させられ、フィールド酸化層117においてコンタクトホールがエッチングされ、金属層118の蒸着がなされて、コンタクトホールを通してソース-ボデ

イコンタクト領域が形成される。酸化領域はホウ素磷ケイ酸ガラス (BPSG) の層を含んでも良く、このBPSG層は瞬間的に850℃～950℃程度に加熱されてチップ上をフローされ、チップの表面トポロジーを平坦にする。この結果できあがった構造は図27に示されている。

【0038】本発明に基づくMOSFETの構造には様々な実施態様がある。例えば、デルタ層の下側境界部分が、トレンチの底部より低い位置にあるもの(図28及び図29)、若しくはトレンチの底部よりも上の位置にあるもの(図30及び図31)などがある。セルの中央部における深い中央拡散領域の最も深い位置が、トレンチの底部よりも下の位置にあるもの(図28及び図29)、またはトレンチの底部より上の位置で、かつボディ領域の接合部より下の位置にあるもの(図30)、または、その最も深い位置がボディ領域の下側接合部より上にある比較的浅いボディコンタクト領域からなるもの(図32)などもあり得る。デルタ層の上側境界部分がボディ領域の下側接合部と一致しているもの(図29)、またはそれがボディ領域の下側接合部よりも下の位置にあるもの(図28、図29、及び図30)などもあり得る。

【0039】本発明の原理は、「準パーチカル (quasi vertical)」MOSFETにも適用可能であり、この準パーチカルMOSFETにおいては、デバイスの上側表面上においてドレイン接合部分が存在する。図33及び図34に2つの実施例が示されている。どちらの実施例もMOSFETがP基板1300上に形成される。また、N+埋込層1302がP基板1300の上側表面上に形成される。N+シンカー1304はドレイン金属コンタクト部分1306から下向きに伸び、N+埋込層1302に至っている。図33に示すMOSFET 1308は、深い中央P+領域を有し、図29に示すMOSFETの構造に概ね似ている。図34に示すMOSFET 1310は中央デルタ層1316を有し、このデルタ層1316は、図16に示すデルタ層802と同様に、ゲート酸化層に至るまで横向きに延在していない。

【0040】上述した実施例は一般にN-チャネルデバイスに関して記述されているが、本発明の原理はP-チャネルデバイスにも適用可能である。

【0041】

【発明の効果】以上より、本発明によれば、深い中央P+領域による改善されたブレイクダウに関する特性と、低いオン抵抗とを兼ね備えたトレンチ型MOSFETが提供される。

【図面の簡単な説明】

【図1】従来のプレナー型の二重拡散MOSFETの断面図である。

【図2】比較的浅いP+コンタクト領域を有する典型的なパーチカルトレンチ型N-チャネルMOSFETのセル

の断面図である。

【図3】比較的浅いP+コンタクト領域を有する典型的なパーチカルトレンチ型N-チャネルMOSFETのセルの平面図である。

【図4】図3と同様のN-チャネルMOSFETの断面図であって、P+コンタクト領域がPボディ領域の下側エッジ部分よりも下まで延びているものが示されている。

【図5】図3と同様のN-チャネルMOSFETの断面図であって、中央P+コンタクト領域がトレンチの底部の下側の位置まで延びているものが示されている。

【図6】図5に示すN-チャネルMOSFETの断面斜視図である。

【図7】図6と同形のP-チャネルMOSFETの断面斜視図である。

【図8】デバイスの上側表面上に形成されたゲート金属コンタクト部分を示したものである。

【図9】本発明に基づく、Nデルタ層と共に深い中央のP+領域を有するMOSFETの断面図である。

【図10】MOSFETの異なった高さのドーパント濃度を示すグラフである。

【図11】本発明に基づいて製造されたものではない、従来のMOSFETにおける電流分布を示した図である。

【図12】本発明に基づいて製造されたMOSFETにおける電流分布を示した図である。

【図13】本発明に基づいて製造されたMOSFETにおける等ポテンシャル線を示した図である。

【図14】本発明に基づいて製造されたMOSFETにおける電界分布を示した図である。

【図15】本発明に基づいて製造されたMOSFETにおけるイオン化率を示した図である。

【図16】デルタ層のエッジ部分とトレンチの側壁とが接触していない形のMOSFETの断面図である。

【図17】図16に示すMOSFETにおける等ポテンシャル線を示した図である。

【図18】図16に示すMOSFETにおける電界分布を示した図である。

【図19】図16に示すMOSFETにおけるイオン化率を示した図である。

【図20】デルタ層のエッジ部分とセルの深い中央拡散領域とが接触していない形の、本発明に基づくMOSFETを示した図である。

【図21】図21～図27に示す本発明に基づくMOSFETの製造プロセスの、1つの段階を示した図である。

【図22】図21～図27に示す本発明に基づくMOSFETの製造プロセスの、1つの段階を示した図である。

【図23】図21～図27に示す本発明に基づくMOS

FETの製造プロセスの、1つの段階を示した図である。

【図24】図21～図27に示す本発明に基づくMOSFETの製造プロセスの、1つの段階を示した図である。

【図25】図21～図27に示す本発明に基づくMOSFETの製造プロセスの、1つの段階を示した図である。

【図26】図21～図27に示す本発明に基づくMOSFETの製造プロセスの、1つの段階を示した図である。

【図27】図21～図27に示す本発明に基づくMOSFETの製造プロセスの、1つの段階を示した図である。

【図28】深い中央拡散領域と、トレンチの底部より低く、かつ深い中央拡散領域の上側部分よりも高い位置まで延びたデルタ層とを有する、本発明のMOSFETの一実施例を示したものである。

【図29】深い中央拡散領域と、トレンチの底部より低く、かつ深い中央拡散領域の上側部分よりも低い位置まで延びたデルタ層とを有する、本発明のMOSFETの一実施例を示したものである。

【図30】比較的浅い中央拡散領域の頂部の下層をなし、かつトレンチの底部までは延在していないデルタ層を有する、本発明のMOSFETの一実施例を示した図である。

【図31】深い中央拡散領域と、トレンチの底部より低い位置まで延在していないデルタ層とを有する、本発明のMOSFETの一実施例の図である。

【図32】深い中央拡散領域がなく、トレンチの底部より低い位置まで延びていないか、若しくはボディ領域の下側エッジ部分より低い位置まで延びていないデルタ層を有する本発明のMOSFETの一実施例を示した図である。

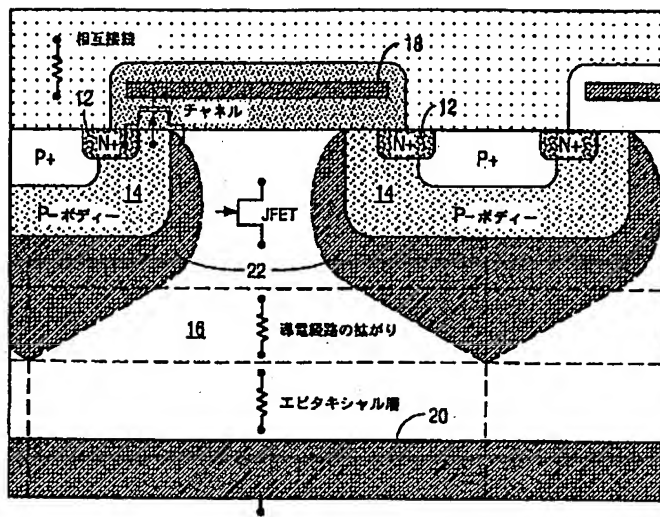
【図33】本発明を「準バッチカル」MOSFETに適用した場合を示した図であり、デバイスの上側表面においてドレインコンタクト部分が設けられているバッチカルトレンチ型MOSFETを例示したものである。

【図34】本発明を「準バッチカル」MOSFETに適用した場合を示した図であり、デバイスの上側表面においてドレインコンタクト部分が設けられているバッチカルトレンチ型MOSFETを例示したものである。

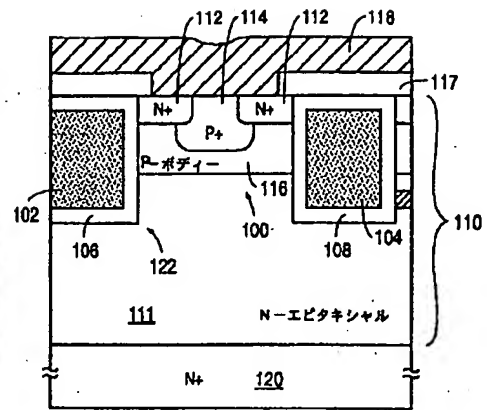
【符号の説明】

12	ソース領域
14	P-ボディ領域
16	N-エピタキシャル層
18	ゲート
20	N+基板
22	空乏層
100	MOSFET
102	ゲート
104	ゲート
106	ゲート酸化層
108	ゲート酸化層
110	N-エピタキシャル層
111	ドリフト領域
112	N+ソース領域
113A	厚い酸化層
113B	薄い酸化層
114	P+コンタクト領域
115	厚い酸化層
116	P-ボディ領域
117	酸化層
118	ソースコンタクト金属層
119	薄い酸化層
120	N+基板
121	ゲート金属領域
122	(トレンチの) コーナー部分
200	MOSFET
300	MOSFET
302	(P+領域の) 下端部
400	MOSFET
402	Nデルタ層
800	MOSFET
802	Nデルタ層
1000	MOSFET
1002	Nデルタ層
1300	P基板
1302	N+埋込層
1304	N+シンカー
1306	金属コンタクト部分
1308	MOSFET
1310	MOSFET
1316	デルタ層

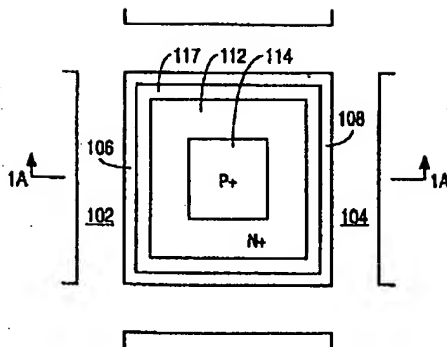
【図 1】



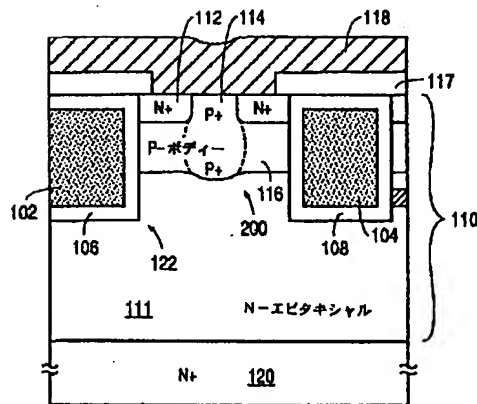
【図 2】



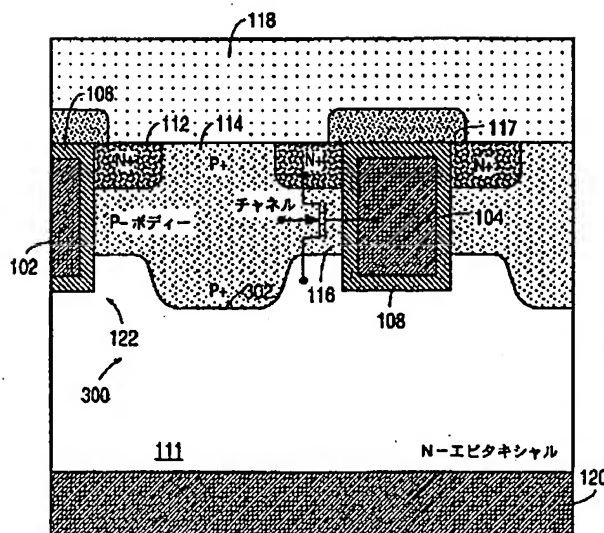
【図 3】



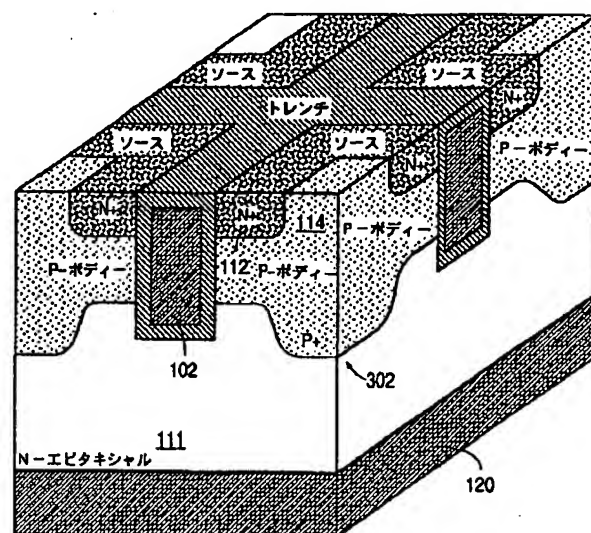
【図 4】



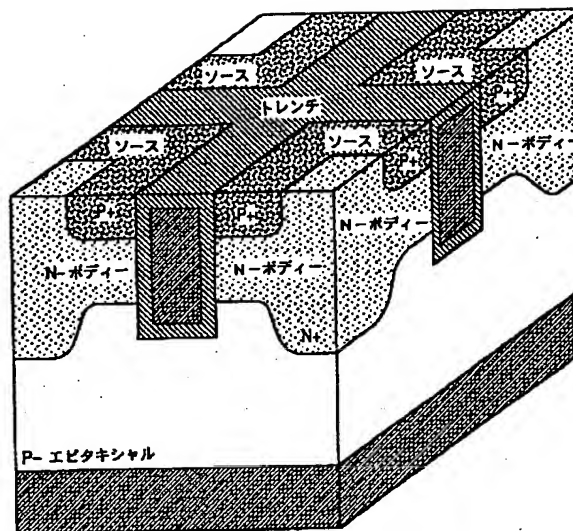
【図 5】



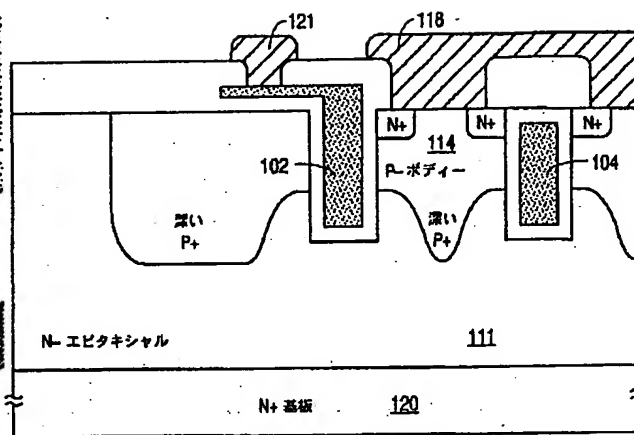
【図 6】



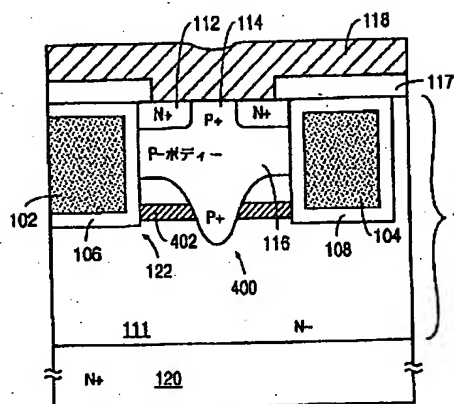
【図 7】



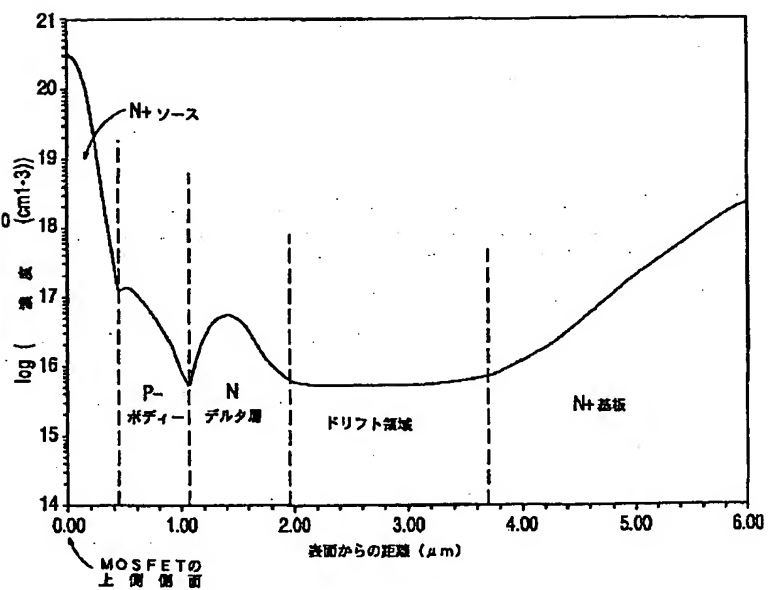
【図 8】



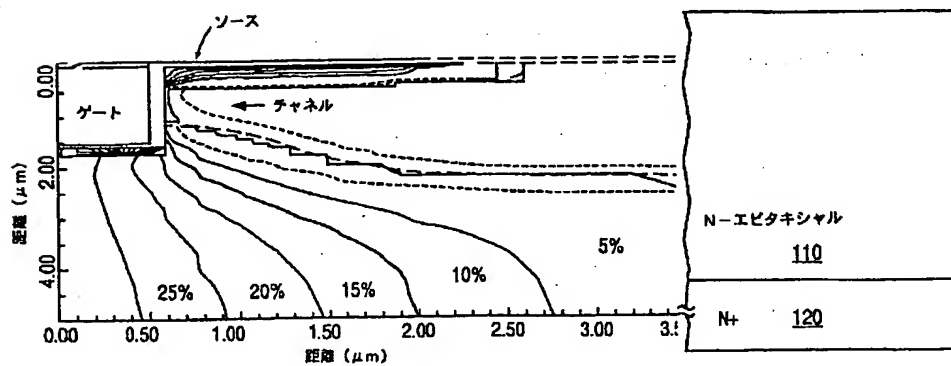
【図 9】



【図 10】

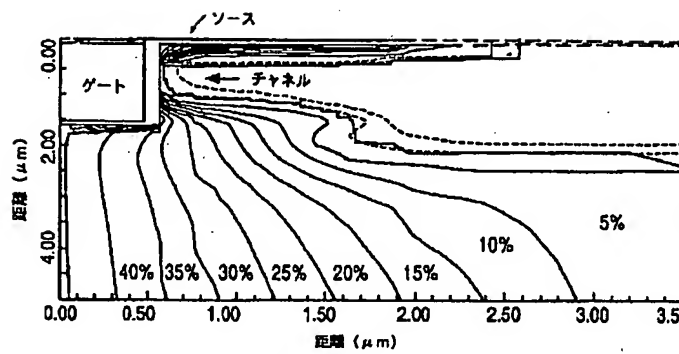


【図 11】

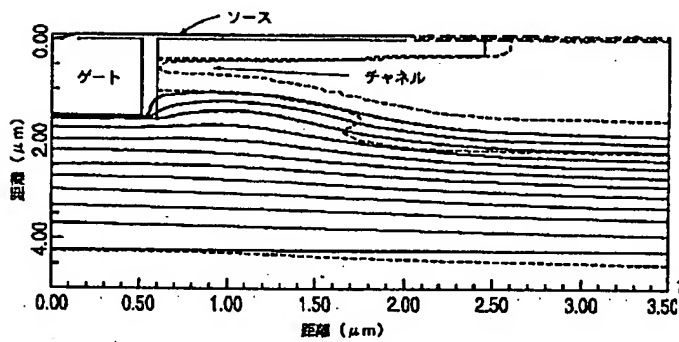


【図 21】

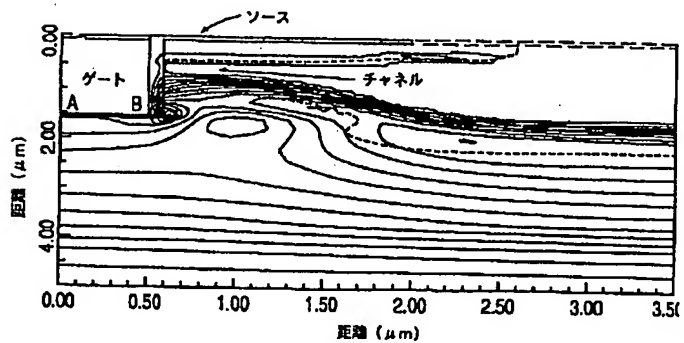
【図 12】



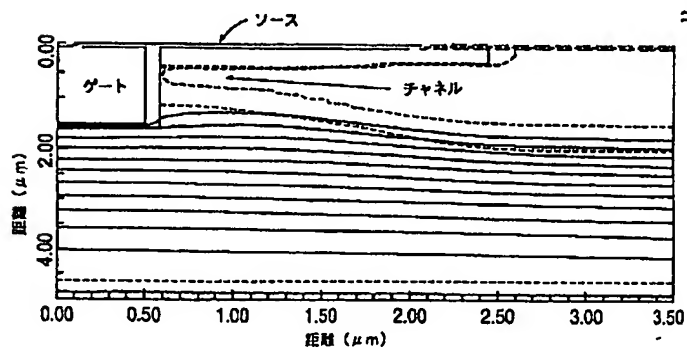
【図 13】



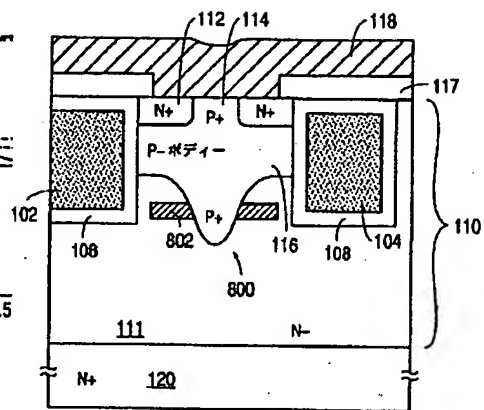
【図 14】



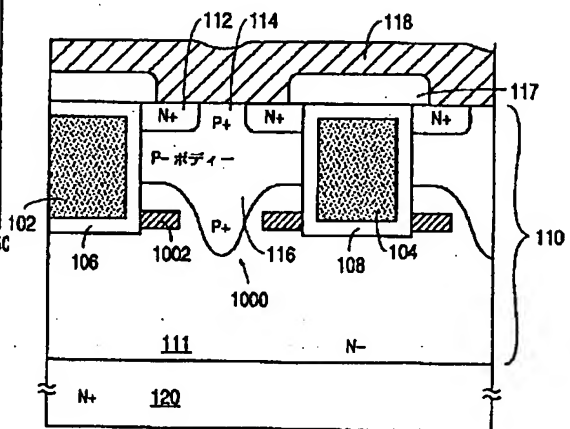
【図 17】



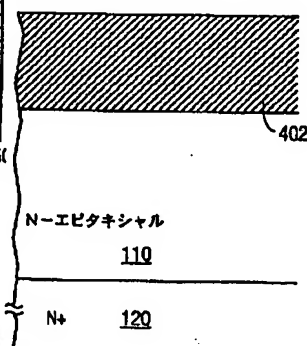
【図 16】



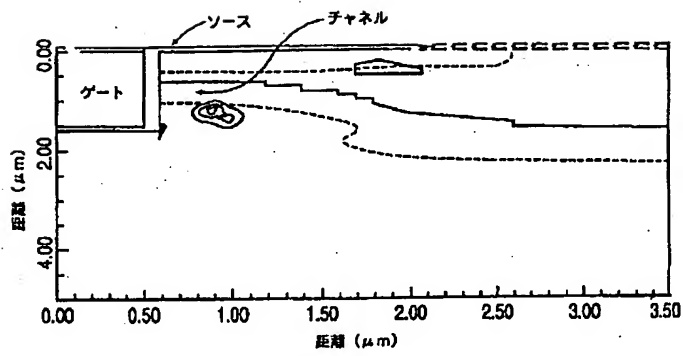
【図 20】



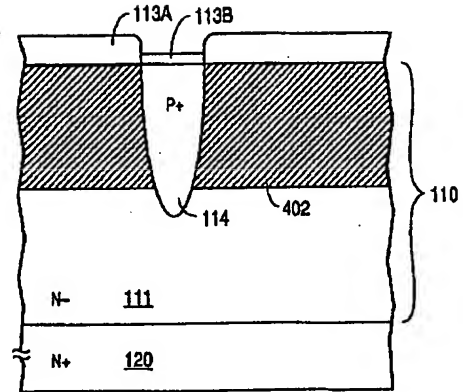
【図 22】



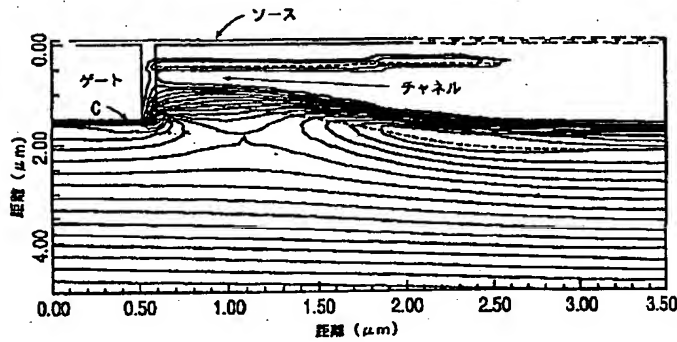
【図15】



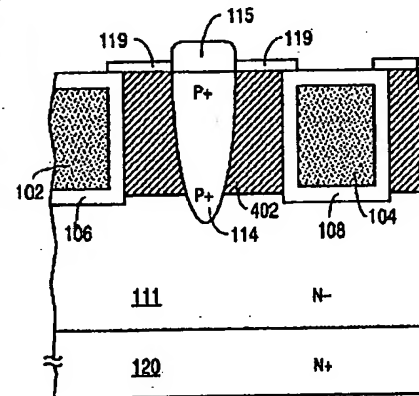
【図23】



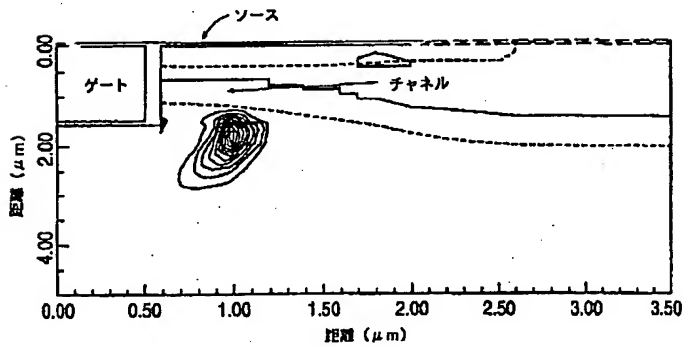
【図18】



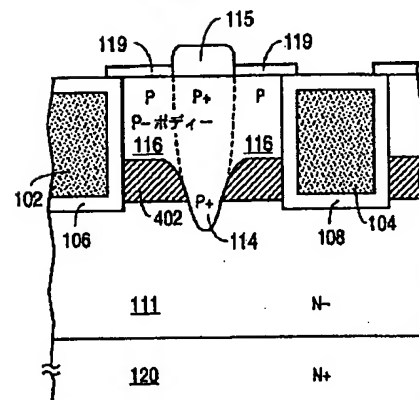
【図24】



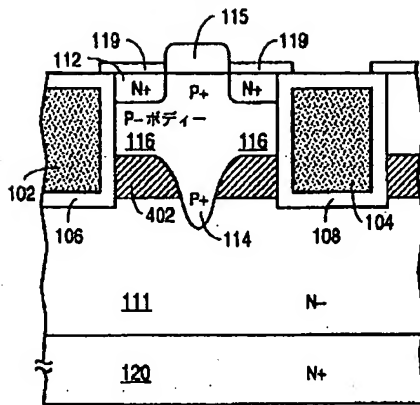
【図19】



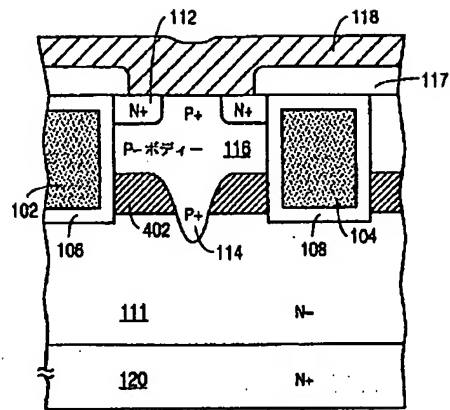
【図25】



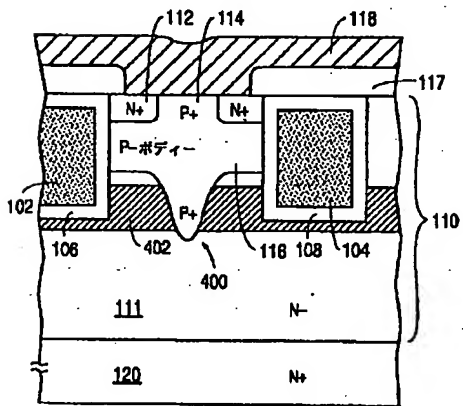
【図26】



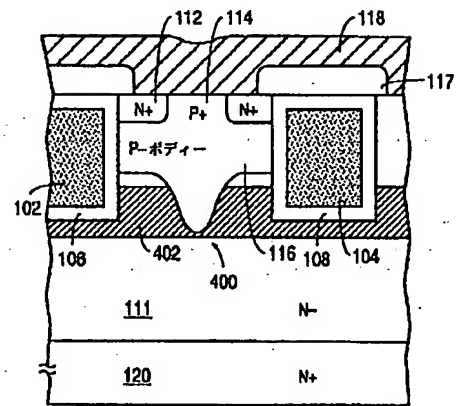
【図27】



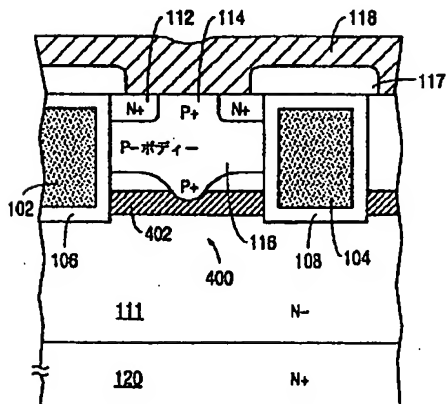
【図28】



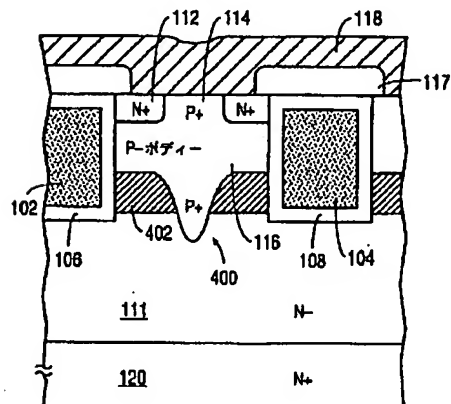
【図29】



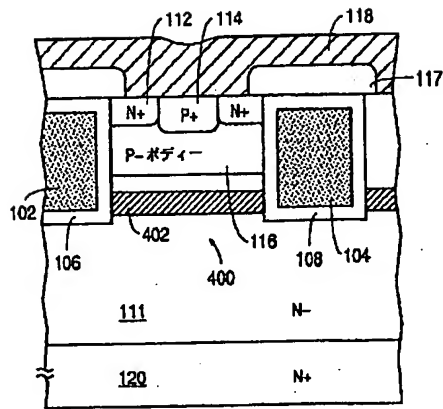
【図30】



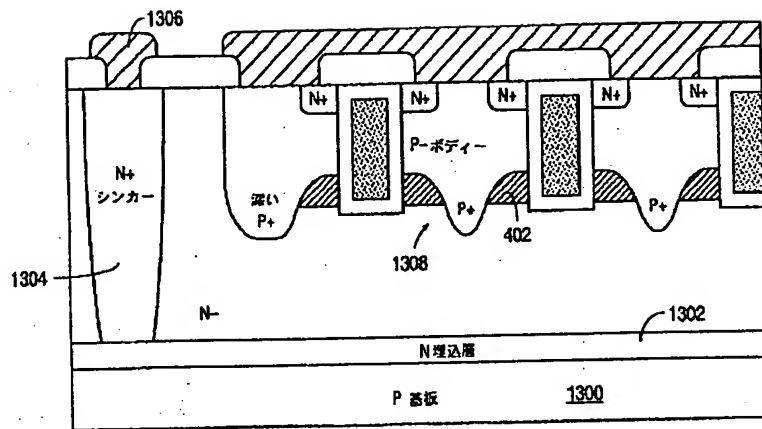
【図31】



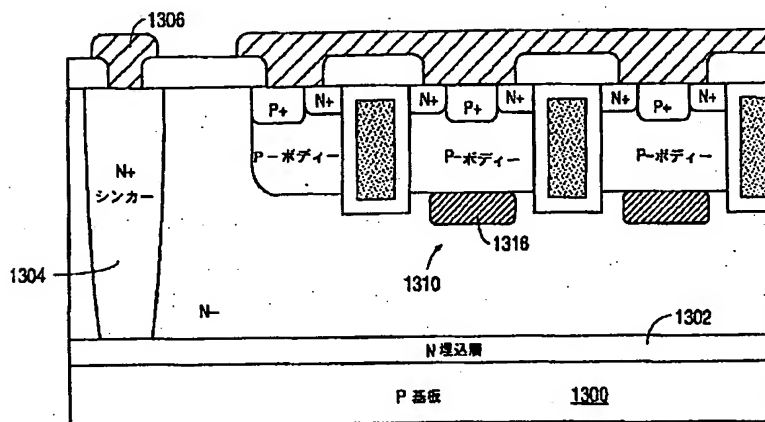
【図 3 2】



【図 3 3】



【図 3 4】



フロントページの続き

(72) 発明者 リチャード・ケイ・ウィリアムズ
 アメリカ合衆国カリフォルニア州95014・
 クーペルティーノ・ノーウィックアベニュー
 — 10292